

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有權機關
國際事務局



(43) 國際公開日
2004 年 4 月 1 日 (01.04.2004)

PCT

(10) 国際公開番号
WO 2004/027600 A1

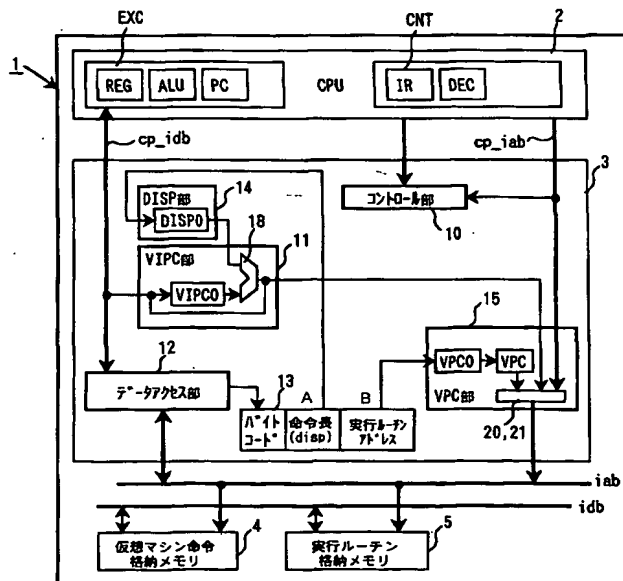
- (51) 国際特許分類⁷: **G06F 9/30, 9/38, 9/44, 9/45**
- (21) 国際出願番号: **PCT/JP2002/008843**
- (22) 国際出願日: **2002 年 8 月 30 日 (30.08.2002)**
- (25) 国際出願の言語: **日本語**
- (26) 国際公開の言語: **日本語**
- (71) 出願人 (米国を除く全ての指定国について): **株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒100-6334 東京都千代田区丸の内二丁目4番1号 Tokyo (JP).**
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): **平柳 和也 (HIRAYANAGI, Kazuya) [JP/JP]; 〒187-8588 東京都小平**

市 上水本町五丁目 20 番 1 号 株式会社日立製作所 半導体グループ内 Tokyo (JP). 北川 健二 (KITAGAWA, Kenji) [JP/JP]; 〒215-0013 神奈川県 川崎市麻生区 王禅寺 1099 番地 株式会社日立製作所 システム開発研究所内 Kanagawa (JP). 萩原 今朝巳 (HAGIWARA, Kesami) [JP/JP]; 〒187-8588 東京都小平市 上水本町五丁目 20 番 1 号 株式会社日立製作所 半導体グループ内 Tokyo (JP). 青木 孝則 (AOKI, Takanori) [JP/JP]; 〒187-8588 東京都小平市 上水本町五丁目 20 番 1 号 株式会社日立製作所 半導体グループ内 Tokyo (JP). ミツ石 直幹 (MITSUISHI, Naoki) [JP/JP]; 〒187-8588 東京都小平市 上水本町五丁目 20 番 1 号 株式会社日立製作所 半導体グループ内 Tokyo (JP).

[統葉有]

(54) Title: DATA PROCESSING APPARATUS AND IC CARD

(54) 発明の名称: データ処理装置及びＩＣカード



- 14...DISP UNIT
- 10...CONTROL UNIT
- 11...VPC UNIT
- 12...DATA ACCESS UNIT
- 13...BYTE CODE
- A...INSTRUCTION LENGTH (disp)
- B...EXECUTION ROUTINE ADDRESS
- 15...VPC UNIT
- 4...MEMORY CONTAINING VIRTUAL MACHINE INSTRUCTIONS
- 5...MEMORY CONTAINING EXECUTION ROUTINES

(57) Abstract: A data processing apparatus (1) can realize execution of a virtual machine instruction by an execution routine defined by a native instruction of a CPU (2) and has an address conversion unit (3) capable of successively converting an address output from the CPU to an address of the native instruction by using the prepared execution routine address. While the CPU executes the execution routine according to an address of the native instruction successively converted, the address conversion unit reads in a next virtual machine instruction to be executed and prepares an address of a corresponding execution routine. Thus, it is possible to reduce the overhead of the instruction execution by the execution routine attributed to loading of a virtual machine instruction and the address calculation based on it. This increases speed of the data processing by a virtual machine program described by virtual machine instructions.

〔統葉有〕

WO 2004/027600 A1



(74) 代理人: 玉村 静世 (TAMAMURA, Shizuyo); 〒101-0052 東京都千代田区神田小川町2丁目10番地 新山城ビル42号 Tokyo (JP).

添付公開書類:
— 国際調査報告書

(81) 指定国 (国内): CN, JP, KR, SG, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

データ処理装置(1)は、CPU(2)のネイティブ命令で規定される実行ルーチンにより仮想マシン命令の実行を実現可能にするものであり、規定の条件成立に応答して、CPUが出力するアドレスを、用意された実行ルーチンのアドレスを利用してネイティブ命令のアドレスに順次変換可能なアドレス変換部(3)を有する。アドレス変換部は、順次変換したネイティブ命令のアドレスに基づいてCPUが実行ルーチンを実行するのに並行して、次に実行すべき仮想マシン命令を読み込んでこれに対応する実行ルーチンのアドレスを用意する。したがって、仮想マシン命令のロード処理及びそれに基づくアドレス計算処理に起因する実行ルーチンによる命令実行処理のオーバーヘッドを低減することができる。これにより、仮想マシン命令で記述された仮想マシンプログラムによるデータ処理を高速化することができる。

明 細 書

データ処理装置及び I C カード

5 技術分野

本発明は、仮想マシン命令を CPU のネイティブ命令を用いて実行可能にするデータ処理装置に関し、例えば I C カード用のマイクロコンピュータに適用して有効な技術に関する。

10 背景技術

- 仮想マシン命令を CPU のネイティブ命令を用いて実行可能にする技術、即ち、仮想マシン命令を固有の命令セットをもつ CPU 上で実行する技術として、インタプリタソフトウェアによる実現技術がある。インタプリタソフトウェアによる実行方法は、CPU に仮想命令をロードし、ロードした仮想命令を認識し、それに対応する実行ルーチンの関数をコールすることにより、その実行ルーチンを実行して当該仮想命令で指示される処理を実現する。実行ルーチンには対応する仮想マシン命令の動作が CPU 固有の命令セットに含まれる命令 (CPU のネイティブ命令) で記述してある。一つの実行ルーチンの処理が終了すると、仮想マシン命令をロードする処理にジャンプする。これを繰り返すことにより、仮想マシン命令で記述された仮想マシンプログラムを CPU のネイティブ命令を用いて実行することが可能になる。この技術は、仮想マシン命令のロード、ロードした仮想マシン命令の判定、判定された仮想マシンに应ずる実行ルーチンの関数コールの処理がオーバーヘッドとなる。
- 25 特開 2 0 0 1 - 5 0 8 9 0 7 号及び特開 2 0 0 1 - 5 0 8 9 0 8 号公報には、そのような実行ルーチンコールのオーバーヘッドを削減する

技術が記載される。即ち、CPUの命令フェッチ用アドレスの一部を仮想マシン命令ロード用のプログラムカウンタに利用し、CPUの命令フェッチ用アドレスが出力されると、そのプログラムカウンタを用いて仮想マシン命令をロードし、ロードした仮想マシン命令から実行ルーチン
5 アドレスを計算するハードウェアを採用する。

しかしながら、そのようなハードウェアを用いても、仮想マシン命令のロード処理及び実行ルーチンアドレスの計算処理は、実行ルーチンによる命令実行処理とは直列的に行われる結果、実行ルーチンによる命令実行処理に対して前記ロード処理及びアドレス計算処理は依然として
10 オーバーヘッドになることに変わり無いことが本発明者によって明らかにされた。

本発明の目的は、仮想マシン命令のロード処理及びそれに基づくアドレス計算処理に起因する実行ルーチンによる命令実行処理のオーバーヘッドを低減することにある。

15 本発明の別の目的は、仮想マシン命令で記述された仮想マシンプログラムによるデータ処理を高速化することにある。

本発明の上記並びにその他の目的と新規な特徴は本明細書の以下の記述と添付図面から明らかにされるであろう。

20 発明の開示

本発明に係るデータ処理装置は、CPUのネイティブ命令で規定される実行ルーチンにより仮想マシン命令の実行を実現可能にするものであり、規定の条件成立に応答して、前記CPUが出力するアドレスを、用意された実行ルーチンのアドレスを利用してネイティブ命令のアド
25 レスに順次変換可能なアドレス変換部を有する。前記アドレス変換部は、順次変換したネイティブ命令のアドレスに基づいてCPUが実行ルー

チンを実行するのに並行して、次に実行すべき仮想マシン命令を読み込んでこれに対応する実行ルーチンのアドレスを用意する。要するに、本発明に係るデータ処理装置は、仮想マシン命令に応ずるCPU命令セットによる実行ルーチンの実行処理に並行して、次の仮想マシン命令のロード処理及びロードされた仮想マシン命令に対応する実行ルーチンのアドレスを用意する処理を行う。したがって、仮想マシン命令のロード処理及びそれに基づくアドレス計算処理に起因する実行ルーチンによる命令実行処理のオーバーヘッドを低減することができる。これにより、仮想マシン命令で記述された仮想マシンプログラムによるデータ処理を高速化することができる。

前記アドレス変換部は前記規定の条件不成立に応答してCPUからの入力アドレスをそのまま出力する。即ち、前記規定の条件が不成立のときCPUは前記実行ルーチン以外のネイティブ命令で記述されたプログラムから命令をフェッチして実行する。

前記規定の条件は、例えば前記CPUによる所定アドレスの出力である。前記所定アドレスは、例えば前記仮想マシン命令の実行に割り当てられた所定のアドレス空間の先頭アドレスである。このとき、前記実行ルーチンは、例えばその最後にCPUのプログラムカウンタを仮想マシン命令の実行に割り当てられた所定のアドレス空間の先頭に戻すリターン処理のネイティブ命令を含む。実行ルーチンの最後に前記所定のアドレス空間の先頭にリターンしたとき、次に実行すべき仮想マシン命令に対応する実行ルーチンのアドレスが既に用意されており、CPUが再び前記所定のアドレス空間の先頭アドレスをアクセスする処理を行うことにより、前記用意されている当該アドレスの実行ルーチンの実行に移ることができる。

望ましい形態として、前記仮想マシン命令毎にその命令長と実行ルー

チンのアドレスとの対応を定義した変換テーブルを有する。アドレス変換部は読み込んだ仮想マシン命令を検索キーとして変換テーブルから対応する仮想マシン命令の前記命令長と実行ルーチンのアドレスを取得する。前記命令長は次に読み込む仮想マシン命令のアドレス生成に利用する。これは仮想マシン命令の命令語長が命令毎に異なる場合に対応するためである。検索された実行ルーチンのアドレスは当該実行ルーチンの記憶エリアを特定する上位側アドレス等とされ、次の実行ルーチンのネイティブ命令をフェッチするためのアドレス生成に利用される。それらを利用する場合には、検索された命令長を保持する第1レジスタと、
10 同じく検索された実行ルーチンのアドレスを保持する第2レジスタとを有するのが望ましい。例えば、前記アドレス変換部は、仮想マシン命令をメモリから読み込むためのアドレスを出力する仮想マシンプログラムカウンタを有し、当該仮想マシンプログラムカウンタのインクリメント量を前記第1レジスタの値によって制御可能にされる。前記仮想マシンプログラムカウンタのインクリメントは、現在の実行ルーチンの実行終了タイミングに同期して行えば充分である。また、前記アドレス変換部は、実行ルーチンのネイティブ命令をメモリから読み込むための実行ルーチンアドレス生成回路を有し、前記実行ルーチンアドレス生成回路は、前記第2レジスタが保持する実行ルーチンのアドレスを入力する
15 第3レジスタと、第3レジスタの値とCPUから出力されるアドレスの下位側複数ビットとを加算する加算器を有し、加算器の出力を実行ルーチンのネイティブ命令のアドレスとして利用すればよい。

前記アドレス変換部は、読み込んだ仮想マシン命令が分岐命令の場合に、分岐先の仮想マシン命令を読み込んでこれに対する実行ルーチンの
25 アドレスを用意することが可能である。条件分岐の場合には、前記アドレス変換部は、読み込んだ仮想マシン命令が条件分岐命令の場合に、分

岐先の仮想マシン命令を読み込んでこれに対する実行ルーチンのアドレスを別に用意し、分岐の有無に応じて、アドレス演算に利用する実行ルーチンのアドレスを選択すればよい。条件成立、不成立の何れに対しても即座に次の実行ルーチンへ移行することができる。

- 5 前記データ処理装置は、仮想マシン命令によって構成される仮想マシンプログラムを格納する第1メモリと、仮想マシン命令毎にその実行ルーチンを格納する第2メモリとを含み、それらを1個の半導体チップに形成してよい。また、第1メモリ及び第2メモリはCPUやアドレス変換部とは別チップであってもよい。
- 10 前記第1メモリは書換え可能な不揮発性メモリであることが望ましい。仮想マシン命令を用いる主な理由は異なるアーキテクチャのデータ処理装置（プラットフォーム）へのプログラムの移植性である。仮想マシン命令で表現されたプログラムは、仮想マシン命令をデータ処理装置固有の命令セットによる実行ルーチンで代替させることにより、複数種
- 15 類のデータ処理装置上で容易に実行することができる。同一アーキテクチャを有するデータ処理装置上ではそのような実行ルーチンは仮想マシンプログラムによらず一定とすることが容易であるから、仮想マシンプログラムを格納する第1メモリを書き換え可能にすれば、第2メモリを書き換え可能にしなくてもよい。
- 20 上記データ処理装置は、カード基板に入出力回路と共に搭載したICカード等に適用することができる。入出力回路は接触インタフェース形式又は電波を用いる非接触インタフェース形式の何れを採用してもよい。このICカードにおいて、仮想マシンプログラムが外部から暗号化されて供給され、内部で復号されてメモリに格納される場合、前記第1
- 25 メモリは書換え可能な不揮発性メモリであることが望ましい。

図面の簡単な説明

第 1 図は本発明が適用されたマイクロコンピュータの一例を示すブロック図である。

第 2 図は V I P C 部の詳細を例示するブロック図である。

5 第 3 図は実行アドレス生成部の詳細を例示するブロック図である。

第 4 図は初期状態から仮想マシン命令の実行状態に遷移するための C P U の処理プログラムを例示する説明図である。

第 5 図は分岐命令以外の実行ルーチンを例示する説明図である。

第 6 図は可変長命令分の実行ルーチンを例示する説明図である。

10 第 7 図はアドレス変換部によるアドレス変換機能を全体的に示す説明図である。

第 8 図はアドレス変換部によるアドレス変換機能を用いた仮想マシン命令の実行機能を模式的に示す説明図である。

15 第 9 図はアドレス変換部を用いたアドレス変換のイメージを示す説明図である。

第 1 0 図は実行ルーチン内に仮想マシン命令をロードする機能を持たせた比較例における仮想マシン命令の実行機能を模式的に示す説明図である。

20 第 1 1 図は仮想マシン命令の条件分岐命令による処理の高速化を実現するための V I P C 部及び D I S P 部を例示するブロック図である。

第 1 2 図は仮想マシン条件分岐命令による処理の高速化を実現するための V P C 部を例示するブロック図である。

第 1 3 図は仮想マシン命令が条件分岐命令の場合の実行ルーチンを例示する説明図である。

25 第 1 4 図は仮想マシン条件分岐命令の分岐処理高速化の方式を採用したマイクロコンピュータを全体的に示すブロック図である。

第 15 図は第 1 図又は第 14 図のマイクロコンピュータによる仮想マシン命令の連続実行動作状態を例示するタイミングチャートである。

第 16 図は第 15 図のタイミングの基になる CPU、アドレス変換部、及び変換テーブルの接続形態を示すブロック図である。

5 第 17 図はマイクロコンピュータの全体を概略的に示すブロック図である。

第 18 図は第 17 図のマイクロコンピュータのアドレスマップである。

10 第 19 図にはマイクロコンピュータを適用した接触インタフェース型 IC カードの外観図である。

第 20 図にはマイクロコンピュータを適用した非接触インタフェース型 IC カードの外観図である。

第 21 図は実行ルーチンアドレスと CPU のアドレスオフセットから実行ルーチン命令アドレスを生成する手法を例示する説明図である。

15

発明を実施するための最良の形態

20 第 1 図には本発明が適用されたマイクロコンピュータの一例が示される。マイクロコンピュータ 1 は、同図に代表的に示された CPU（中央処理装置）2、アドレス変換部（VEM）3、仮想マシン命令格納メモリ 4、実行ルーチン格納メモリ 5、アドレスバス i a b、及びデータバス i d b によって構成される。

25 前記 CPU 2 は所定の命令セットを持ち、命令セットには規定の複数のネイティブ命令が含まれる。CPU 2 は命令制御部 CNT と実行部 EXC を有する。命令制御部 CNT は命令の実行順序を制御すると共に、プログラムカウンタ PC などによって指示される命令アドレスから命令レジスタ IR に命令をフェッチし、フェッチした命令をデコード DE

Cで解読して制御信号などを生成する。実行部E X Cは、前記プログラムカウンタP C、汎用レジスタR E G及び演算器A L U等を有し、命令制御部C N Tで生成された制御信号に基づいて汎用レジスタR E Gや演算器A L U等を動作して、命令を実行する。

- 5 マイクロコンピュータ 1 は、C P U 2 のネイティブ命令で規定される実行ルーチンにより仮想マシン命令の実行を実現可能にするものである。前記仮想マシン命令は、例えばM U L T O S（登録商標）と称されるI Cカードオペレーティングシステム上でのアプリケーション実行形式の言語を構成する命令等である。仮想マシン命令による仮想マシン
- 10 プログラムは前記仮想マシン命令格納メモリ 4 が保持する。前記実行ルーチンは実行ルーチン格納メモリ 5 が保持する。特に制限されないが、仮想マシン命令の実行にはC P U 2 のアドレス空間の一部が割り当てられる。この空間を仮想マシン命令実行空間と称する。前記アドレス変換部 3 は、C P U 2 が出力する命令アドレスが仮想マシン命令実行空間
- 15 の所定アドレス、例えばその先頭アドレスを指すとき、規定の条件成立と判定する。

- アドレス変換部 3 は、前記規定の条件成立の有無を判定すると共に、アドレス変換部 3 全体の制御を行うコントロール部 1 0 と実行アドレス生成部（実行ルーチンアドレス生成部の一例） 1 5 を有する。前記実行
- 20 アドレス生成部（V P C 部） 1 5 は前記規定の条件成立に応答して、前記C P U 2 がバスc p _ i a bに出力する命令アドレスを、実行ルーチン先頭アドレスレジスタV P Cに予め用意された実行ルーチンのアドレスを利用してネイティブ命令のアドレスに順次変換してバスi a bに出力する。規定の条件不成立のとき、前記実行アドレス生成部 1 5
- 25 は、前記C P U 2 がバスc p _ i a bに出力する命令アドレスをそのままバスi a bに出力する。C P U 2 は順次変換されたネイティブ命令の

- アドレスにより実行ルーチン格納メモリ 5 から読み出されたネイティブ命令をデータバス *i d b*、*c p _ i d b* から入力して実行する。アドレス変換部 3 は、CPU 2 が前記規定の条件成立に応答して仮想マシン命令の実行ルーチンを実行するとき、これに並行して、次に実行すべき
- 5 仮想マシン命令を仮想マシン命令格納メモリ 4 から読み込み、これに対応する実行ルーチンのアドレスをレジスタ *V P C 0* (第 2 レジスタの一例) に用意する。仮想マシン命令格納メモリ 4 をアクセスするためのアドレスは仮想マシンプログラムカウンタ部 (*V I P C* 部) 1 1 が生成して、前記 *V P C* 部 1 5 経由でアドレスバス *i a b* に出力する。
- 10 前記仮想マシンプログラムカウンタ部 1 1 におけるアドレスインクリメント量はインクリメント制御部 (*D I S P* 部) 1 4 のレジスタ *D I S P 0* (第 1 レジスタの一例) の設定値によって決定される。
- 仮想マシン命令格納メモリ 4 からバス *i d b* に読み出された仮想マシン命令はデータアクセス部 1 2 が入力する。アドレス変換部 3 は、仮想
- 15 仮想マシン命令毎に、その命令コード (バイトコード)、命令長 (*d i s p*)、実行ルーチンアドレスの対応を定義した変換テーブル 1 3 を有する。データアクセス部 1 2 は入力した仮想マシン命令の命令コードを検索キーとして、其れに対する命令長と実行ルーチンアドレスを検索する。検索された命令長はレジスタ *D I S P 0* にセットされ、検索された実行
- 20 ルーチンアドレスはレジスタ *V P C 0* にセットされる。レジスタ *V P C 0* にセットされた実行ルーチンアドレスは、現在実行されている実行ルーチンの実行終了に続いて、前記規定の条件成立に応答してレジスタ *V P C* に転送され、その実行ルーチンアドレスで規定される実行ルーチンの実行空間のアクセスアドレス (実行ルーチン命令アドレス) の生成に
- 25 利用される。

特に制限されないが、前記実行ルーチンは、例えばその最後に CPU

- 2 のプログラムカウンタ PC を仮想マシン命令の実行に割り当てられた所定のアドレス空間（仮想マシン命令実行空間）の先頭に戻すリターン処理のネイティブ命令を含む。実行ルーチンの最後に前記仮想マシン命令実行空間の先頭にリターンしたとき、次に実行すべき仮想マシン命令に対応する実行ルーチンのアドレスが既にレジスタ VPC0 用意されており、CPU 2 が再び前記仮想マシン命令実行空間の先頭アドレスをアクセスする処理を行うとき、レジスタ VPC にレジスタ VPC0 のアドレスが転送され、このレジスタ VPC0 が示す実行ルーチンの実行に移ることができる。
- 10 第 2 図には VIPC 部 11 の詳細が例示される。レジスタ VIPC0 は現在実行している仮想マシン命令のアドレスを示す。レジスタ DISP0 は現在実行している仮想マシン命令と次の仮想マシン命令までの相対位置を示している。仮想マシン命令と次の仮想マシン命令までの相対位置は、分岐命令以外では現在の実行中の仮想マシン命令の命令長であるため、DISP0 は分岐命令以外では仮想マシン命令の命令長となる。前述のように、CPU 2 による実行ルーチンの実行に並行して、次の命令を $VIPC0 + DISP0$ をアドレスとして仮想マシン命令格納メモリ 4 をアクセスする。18 で示されるものは加算器である。その次は、 $VIPC0 + DISP0 \rightarrow VIPC0$ として VIPC0 を更新することで、次の仮想マシン命令を指定することが可能になる。仮想マシン命令は命令長が命令毎に異なるため、それを実行するときまで DISP0 の値が決定しない。そこで前述のように実行ルーチンアドレスと同様にテーブル 13 を参照することで DISP0 の設定値を決定する。
- 20 第 3 図には実行アドレス生成部（VPC 部）15 の詳細が例示される。実行アドレス生成部 15 は、前記レジスタ VPC0、VPC、加算器 20、及びセクタ 21 から成る。前記レジスタ VPC0 は次に処理すべ

き仮想マシン命令の実行ルーチンアドレスを保有する。前記レジスタ VPC は現在処理されている仮想マシン命令の実行ルーチンアドレスを保有する。レジスタ $VPC0$, VPC が保有する実行ルーチンアドレスは実行ルーチンの先頭アドレスであり、通常、実行ルーチンは複数のネイティブ命令によって構成される。CPU 2 が実行ルーチンを構成するネイティブ命令を順次フェッチできるように、CPU 2 が順次出力する命令フェッチアドレスの下位側複数ビット (アドレスオフセット) $Aofs$ をレジスタ VPC の値に加算器 20 で加算する。前記アドレスオフセット $Aofs$ のビット数は個々の実行ルーチンのメモリ容量の最大値に應ずるアドレスビット数であればよい。例えば 8 ビットである。この例に従えば、変換テーブルに格納された実行ルーチンアドレスと仮想マシン命令実行空間における先頭アドレスのアドレスオフセット $Aofs$ との和が、実行ルーチンの先頭命令アドレスとなる。例えばこれは仮想マシン命令実行空間の先頭アドレスとなる。斯かる実行ルーチンアドレスと CPU のアドレスオフセット $Aofs$ から実行ルーチン命令アドレスを生成する手法を整理すると第 21 図のようになる。

セクタ 21 は加算器 20 から出力される実行ルーチンのネイティブ命令アドレス、VIPC 部 11 から出力される仮想マシン命令アドレス ($VIPC0 + DISP0$)、又はアドレスバス cp_iab のアドレスを選択してバス iab に出力する。セクタ 21 の選択動作は前記コントロール部 10 で制御される。コントロール部 10 は、CPU 2 の条件分岐用フラグ、バスレディ信号、バスアクノリッジ信号、CPU 2 からのアドレス信号を入力している。コントロール部 10 は、CPU 2 が出力する命令フェッチアドレスが前記仮想マシン命令実行空間を指定していない場合にはセクタ 21 にアドレスバス cp_iab のアドレスを選択させ、前記仮想マシン命令実行空間を指定しているときは

セクタ 21 に前記加算器 20 の出力アドレスを選択させる。コントロール部 10 は、セクタ 21 に加算器 20 の出力アドレスを選択させているとき、途中の所定タイミングで、セクタ 21 に、次に処理すべき仮想マシン命令アドレスを選択させる。前記所定のタイミングは、特に
5 制限されないが、実行ルーチンの先頭命令フェッチの次、というような一律のタイミングであってよい。前述の如く、レジスタ VPC0 の値の取得は、現在の CPU 2 による仮想マシン命令の実行ルーチンの処理と並列に行なわれるため、現在の仮想マシン命令の処理が終了した時点で、次の仮想マシン命令に應ずる実行ルーチンの処理に即座に遷移すること
10 ができる。

第 4 図には初期状態から仮想マシン命令の実行状態に遷移するための CPU 2 の処理プログラムが例示される。前述のように仮想マシン命令の実行状態へは仮想マシン命令実行空間へジャンプすることで実現される。初期状態から遷移する場合には CPU 2 がアドレス変換部 3 の
15 レジスタ VIPC0、DISP0、VPC を先ず初期設定する。第 4 図の処理プログラムによれば、CPU 2 がレジスタ VIPC0 とレジスタ DISP0 を初期設定した後、レジスタ VPC0 の設定値を求めるコマンドを実行している。VIPC0 の値は最初に実行する仮想マシン命令のアドレス、DISP0 は 0 が設定される。VPC0 の設定値を求める
20 コマンド VPC0chg は、VIPC0 + DISP0 のアドレスを出力させ、VIPC0 + DISP0 の位置にある仮想マシン命令をロードし、それに対応する実行ルーチンアドレスの取得し VPC0 に設定し、次の命令までの相対位置を求め DISP0 に設定する。その次に、仮想マシン命令実行空間にジャンプし、仮想マシン命令の実行状態に遷移する。

25 第 5 図には分岐命令以外の実行ルーチンの例が示される。次の仮想マシン命令のロード及びそれに應ずる実行ルーチンアドレスの取得はア

ドレス変換部 3 が行うため、実行ルーチンは実行処理部と仮想マシン命令実行空間の先頭アドレスへのジャンプのみとなる。

第 6 図には可変長命令及び分岐命令の実行ルーチンの例が示される。可変長命令及び分岐命令の場合、実行時まで命令長が解らないため、アドレス変換部 3 による仮想マシン命令のロードが不可能になる。アドレス変換部 3 は次の命令長も変換テーブル 1 3 を参照して得るからである。このため、コマンドにより次の仮想マシン命令までの位置を実行ルーチン内で指定して、処理する。第 6 図に例示されるように、DISP 0 を次の仮想マシン命令もしくは分岐先への相対位置に更新し、VPC 0 の更新コマンドを実行することで、可変長命令及び分岐命令の仮想マシン命令の実行が可能である。仮想マシン命令の分岐命令及び可変長命令の実行ルーチン内でVPC 0 の更新コマンドを実行する場合、VIPC 0 は既にアドレス変換部 3 により現在の仮想マシン命令の位置に第 1 図の変換テーブルに定義されている命令長の値が加算されるため、VIPC 0 は現在の仮想マシン命令の位置を示していない。VPC 0 更新コマンドではVIPC 0 は現在の仮想マシン命令のアドレスを知る必要があるため、アドレス変換部 3 によってVIPC 0 を更新させないために、当該仮想マシン命令の変換テーブルの命令長を 0 として変換テーブルに定義する。第 7 図には前述のアドレス変換部 3 によるアドレス変換機能が全体的に示される。CPU 2 から出力される命令フェッチアドレスが前記仮想マシン命令実行空間を指定しているとき、アドレス変換部 3 はアドレスバス cp_iab のアドレスを現在処理すべき仮想マシン命令の実行ルーチンを構成するネイティブ命令のアドレスに変換して出力する。これに並行してDISP部 1 4 及びVIPC部 1 1 で生成した次の仮想マシン命令アドレスによって仮想マシン命令格納メモリ 4 をリードし、リードされた仮想マシン命令に基づいてアドレス計

算を行って次に実行する実行ルーチンアドレスを予め取得しておく。

第 8 図には上記アドレス変換部 3 によるアドレス変換機能を用いた仮想マシン命令の実行機能が模式的に示される。アドレス変換部 3 を用いた場合には実行ルーチンは実行処理部と仮想マシン命令実行空間の先頭へのジャンプ命令 (bra next) のみとされる。次の仮想マシン命令のロードと対応する実行ルーチンアドレスの参照は、アドレス変換部 3 が CPU 2 の命令実行動作と並行して行う。次の実行ルーチンによる処理への遷移は、仮想マシン命令実行空間の先頭にジャンプした時点で CPU 2 の出力アドレスを次の実行ルーチンアドレスに変換することで実現する。

第 9 図にはアドレス変換部 3 を用いたアドレス変換のイメージが示される。例えば、CPU 2 が仮想マシン命令実行空間 (H' 0021__0000~H' 0021__0100) を指していると、そのアドレスは、ロードした仮想マシン命令に対応する実行ルーチンアドレスに変換されてレジスタ VPC0 に保持される。実行ルーチンアドレスが仮想マシン命令実行空間の先頭 (H' 0021__0000) にジャンプすることで、レジスタ VPC0 の値がレジスタ VPC に転送されて更新される。よって、現在の実行ルーチンの実行処理が終了した時点で、仮想マシン命令実行空間の先頭アドレスにジャンプする操作が行なわれれば、次の実行ルーチンの実行状態に遷移することができる。

第 10 図には実行ルーチン内に仮想マシン命令をロードする機能を持たせた比較例における仮想マシン命令の実行機能が模式的に示される。比較例の場合には、実行ルーチン内で仮想マシン命令をロードする。次に、ロードした仮想マシン命令に対応する実行ルーチンのアドレスを、実行ルーチンアドレスが格納されているメモリを参照して求める。次に、現在の仮想マシン命令の実行処理部分を実行し、終了した時点で次の実

行ルーチンアドレスへジャンプする。これを繰り返して仮想マシン命令を連続的に実行することができる。但し、仮想マシン命令のロードと其れに対応する実行ルーチンアドレスの取得は、実行ルーチンにおける実行処理部の処理に対して直列的である。したがって、比較例の場合は、
5 上記アドレス変換部 3 を用いる並列処理に比べて仮想マシン命令の実行効率は低い。

第 11 図には仮想マシン命令の条件分岐命令(仮想マシン条件分岐命令)による処理の高速化を実現するための V I P C 部 11 及び D I S P 部 14 の一例が示される。第 12 図には同じ仮想マシン条件分岐命令による処理の高速化を実現するための V P C 部 15 の一例が示される。
10

仮想マシン命令の条件分岐命令は、条件分岐命令コードの次に分岐先の相対位置 (t a r g e t) が書き込まれている。V I P C 部 11 は 3 個のレジスタ V I P C , V I P C 0 , V I P C 1 とそのセクタ 20 を有する。レジスタ V I P C は現在実行中の仮想マシン命令中のオペランド部分のデータをロードするためのアドレスレジスタである。このレジスタ V I P C は、プログラムカウンタ P C への動作には影響しないが、
15 仮想マシン命令の実行ルーチンを先頭から実行開始するとき、V I P C 0 に + 1 したオペランドの位置を示す値に更新される。仮想マシン命令の条件分岐命令は、現在の仮想マシン命令のアドレス位置を基準に分岐先を求めるという相対分岐の手法を採用するため、現在の仮想マシン命令のアドレス位置の情報が必要である。条件分岐命令を高速化するために分岐先と次命令の仮想マシン命令を 2 つロードするため、レジスタ V I P C 0 は次の仮想マシン命令コードをロードした時点で、現在の仮想マシン命令のアドレス値が次の仮想マシン命令のアドレス値に更新される。この場合、分岐先仮想マシン命令ロードにおいて、分岐先アドレス計算時に現在の仮想マシン命令のアドレス値を知る必要があるため、
20
25

現在の仮想マシン命令のアドレス値を保存するレジスタVIPC1が追加されている。

前記VIPCが保持するアドレスを出力することにより、仮想マシン命令の条件分岐命令中のオペランドデータである分岐のための相対位置（分岐先target）を求めることができ、その値を格納するレジスタDISP1が設けられている。レジスタDISP0、DISP1はセクタ21で選択される。VIPC1+DISP1は分岐先の仮想マシン命令のアドレス位置を示しており、この値をアドレスとして出力することで、分岐先の仮想マシン命令をロードすることができる。この際にVIPC1を分岐先アドレスで更新する。

これによってロードされた分岐先の仮想マシン命令を検索キーとして前記検索テーブル13をアクセスし、分岐先の命令長と実行ルーチンアドレスを求め、第11図のレジスタDISP1と第12図のレジスタVPC1に格納される。尚、条件分岐でない場合、例えばジャンプのような無条件分岐の場合には、分岐先の命令長と実行ルーチンアドレスによってレジスタDISP0とレジスタVPC0を更新すればよい。

分岐の条件が判定された結果、分岐しない場合（分岐フラグBflagのディスエーブル状態）は、レジスタVIPC0、DISP0、VPC0が選択される。分岐する場合（分岐フラグBflagのイネーブル状態）は、レジスタVIPC1、DISP1、VPC1が選択されることで、条件分岐による分岐先仮想マシン命令の実行ルーチンの処理に遷移可能にされる。22で示されるものはVPC1又はVPC0のセクタである。コントロール部10は、仮想マシン命令の条件分岐命令においての分岐の有無を決定する分岐フラグBflagを有している。

上記より、分岐条件が確定する前に、分岐先をロードし、分岐先の命令長と実行ルーチンのアドレスを、CPU2の現在の仮想マシン命令の

実行処理と並列に取得することができる。

第 1 3 図には仮想マシン命令が条件分岐命令の場合の実行ルーチンが例示される。先ず $VIPC++ \rightarrow DISP1$ の動作を指示するコマンドで相対位置 (Target) の値をレジスタ $DISP1$ に格納する。

5 次に、 $VPC1$ の値の更新コマンドを実行し、 $VIPC1 + DISP1$ の値で示されるアドレスにある仮想マシン命令をロードし、命令長を $DISP1$ に、実行ルーチンのアドレスをレジスタ $VPC1$ に格納する。同時に、レジスタ $VPC1$ の値の更新コマンドで分岐条件を設定する。実行処理の後の仮想マシン命令実行空間の先頭番地へのジャンプ時に、

10 $CPU2$ の条件フラグ (コンディションコードレジスタの所定ビットの値) によってアドレス変換部 3 が分岐を判定し、次の処理へ移る。 $CPU2$ 側は分岐条件決定のためのフラグを設定するだけで、実際の分岐の処理はアドレス変換部 3 によって $CPU2$ の処理と並行に行うことができるため、その処理を高速化することができる。

15 第 1 4 図には仮想マシン条件分岐命令の分岐処理高速化の上記方式を採用したマイクロコンピュータを全体的に示す。コントロール部 10 の前段に分岐判定部 24 が設けられ、 $CPU2$ から供給されるコンディションコードレジスタ値などを参照して、分岐条件の成立の有無を判定する。前記分岐フラグ $Bflag$ は分岐判定部 24 による判定結果にしたがってコントロール部 10 が所定のタイミングで変化させる。

20

第 1 5 図には第 1 図又は第 1 4 図のマイクロコンピュータ 1 による仮想マシン命令の連続実行動作状態が例示される。第 1 5 図のタイミングは第 1 6 図に示される接続関係の基で、 $CPU2$ が仮想マシン命令 (V コードとも記す) ①、②、③の実行ルーチンを処理する。 $V_0 \sim V_3$ は仮想マシン命令実行空間のアドレスであり、 V_0 はその先頭アドレスである。

25

タイミングT Aに例示されるように、初期状態においてレジスタV I P C 0にはVコード①のメモリアドレスが、D I S P 0には次のVコード②への相対位置が、V P C 0にはVコード①の実行ルーチンアドレスが、それぞれC P U 2により初期設定されている。

- 5 C P U 2からアドレスバスc p _ i a bに仮想マシン命令実行空間の先頭アドレスV _ 0が出力されると(タイミングT B)、アドレス変換部3は、それを検出してレジスタV P C 0の値をレジスタV P Cに転送し、アドレスバスi a bに、レジスタV P CのVコード①の実行ルーチンアドレスにアドレスV _ 0の下位側オフセットを加算した、当該V
- 10 コード①の実行ルーチンを構成するネイティブ命令アドレス① _ 0をアドレスバスi a bに出力される。データバスi d bにはそのアドレスによって実行ルーチン格納メモリ5からネイティブ命令[① _ 0]が出力される(タイミングT C)。これがバスc p _ i d bを介してC P U 2にフェッチされ、実行される。以下、C P U 2からアドレスバスc p
- 15 _ i a bに仮想マシン命令実行空間のアドレスV _ 1 ~ V _ 3が順次出力される毎に、そのVコードに対応する実行ルーチンの後続のネイティブ命令[① _ 1] ~ [① _ 3]が順次C P U 2に供給される。

- 第15図の例では、アドレス変換部3は、実行ルーチンの先頭命令をリードした次に、タイミングT Cに示されるように、Vコード①のメモ
- 20 リアドレスにレジスタD I S P 0の相対値を加算してVコード②のアドレス(V I P C 0 + D I S P 0)をバスi a bに出力して、次のVコード②を仮想マシン命令格納メモリ4から読み込む(タイミングT D)。この間、アドレス① _ 1によるネイティブ命令[① _ 1]のリードは待たされるが、それ以降、ネイティブ命令のリードは順次行なわれていく。
- 25 C P U 2がリードしたネイティブ命令を実行するのに並行して、アドレス変換部3は前記リードしたVコード②をアドレスとして変換テーブル

ル 1 3 をアクセスし、それによって読み出した命令長によってレジスタ
D I S P 0 の V コード ③ への相対位置を設定し、実行ルーチンアドレス
によって V P C 0 に V コード ② の実行ルーチンアドレスを設定する (タ
イミング (T E)) 。

- 5 第 1 5 図では V コード ① の実行ルーチンの最後はジャンプ命令 [① _
3] とされ、この最後のジャンプ命令によって C P U 2 のプログラムカ
ウンタ P C が仮想マシン命令実行空間の先頭アドレス V _ 0 に分岐さ
れたとき、既にレジスタ V P C 0 に取得されている V コード ② の実行ル
ーチンのアドレスがレジスタ V P C に転送され、今度は ② _ 0 を先頭と
10 する実行ルーチンを順次 C P U 2 が実行可能にされる。

- したがって、C P U 2 が V コードの実行ルーチンを処理しているとき、
アドレス変換部 3 はこれに並行して次の V コードをメモリ 4 からフェ
ッチし、フェッチした V コードをアドレスとして変換テーブル 1 3 から
実行ルーチンの先頭アドレス及び命令長を取得する。したがって、実行
15 ルーチンの最後で仮想マシン命令実行空間の先頭に戻るジャンプ命令
を実行することにより、C P U は必要な実行ルーチンを順次連続的に実
行することができる。

- 第 1 7 図にはマイクロコンピュータ 1 の全体が概略的に示される。同
図に示されるマイクロコンピュータ 1 は、特に制限されないが、所謂 I
20 C カードマイコンと称されるマイクロコンピュータである。同図に示さ
れるマイクロコンピュータ 1 は、単結晶シリコンなどの 1 個の半導体基
板若しくは半導体チップに C M O S などの半導体集積回路製造技術に
よって形成される。

- マイクロコンピュータ 1 は、前記 C P U 2 、前記アドレス変換部 3 (V
25 E M 3) 、電氣的に書換え可能な E E P R O M 3 0 、マスク R O M 3 1 、
R A M (ランダム・アクセス・メモリ) 3 2 、入出力回路 (I / O) 3

3、暗号処理回路 3 4、及び内部バス 3 5 を有する。入出力回路 3 3 はアドレス、データ、コマンドなどの I/O 信号、リセット信号、及びクロック信号のインタフェース等に利用される。

5 第 1 8 図のアドレスマップに例示されるように、E E P R O M 3 0 は前記仮想マシン命令メモリ 4 等に用いられる。マスク R O M 3 1 は前記実行ルーチン格納メモリ 5 などに用いられる。アプリケーションプログラムである仮想マシンプログラムは入出力回路 3 3 から入力される。通常入力時には仮想マシンプログラムは暗号化されているので、暗号処理回路で復号され、復号結果が E E P R O M 3 0 に格納される。マスク R O M 3 1 には前記実行ルーチンが格納され、仮想マシン命令に応ずる実行ルーチンを C P U 2 が実行することによって仮想マシンプログラムの実行が実現される。

15 第 1 9 図にはマイクロコンピュータ 1 を適用した接触インタフェース型の I C カードが例示される。I C カード 4 0 はカード基板にマイクロコンピュータ 1 が実装され、樹脂もしくはケーシングで封止されている。表面には外部端子 4 1 が露出される。外部端子 4 1 はマイクロコンピュータ 1 の入出力回路 3 3 にカード基板上の配線で接続される。

20 第 2 0 図にはマイクロコンピュータ 1 を適用した非接触インタフェース型の I C カードが例示される。I C カード 4 1 はカード基板にマイクロコンピュータ 1 と高周波部 (R F 部) 4 2 及びアンテナ 4 3 が実装され、樹脂もしくはケーシングで封止されている。アンテナ 4 3 は高周波部 4 2 に接続され、マイクロコンピュータ 1 の入出力回路 3 3 は高周波部 4 2 とカード基板上の配線で接続される。高周波部 4 2 はマイクロコンピュータ 1 にオンチップで構成することも可能である。高周波部 4 2 は前記アンテナ 4 3 が所定の電波 (例えばマイクロ波) を横切ることによって生ずる誘導電流を動作電源として電源電圧 V c c を出力し、リ

セット信号及びクロック信号を生成し、アンテナ 4 3 から非接触で情報の入出力を行う。入出力回路 3 3 は外部と入出力すべき情報を R F 部 4 2 とやり取りする。

5 以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。

前記アドレス変換部でアドレス変換を行う規定の条件は仮想マシン命令実行空間の先頭アドレスの出力に限定されない。例えば先頭アドレスでなくてもよい。また、特定のアドレスで無くてもよく、C P U のその他特定の出力状態等であってもよい。また、仮想マシン命令格納メモリ及び実行ルーチン格納メモリは不揮発性メモリに限定されることなく、内蔵されたデータを保持可能な状態であれば揮発性メモリで構成されていても良い。また、仮想マシン命令格納メモリは実行ルーチン格納メモリとは別のバス、例えば変換テーブルと同じく専用バスに接続してもよい。実行ルーチンのアクセスが仮想マシン命令のアクセスによって一時的に断たれることを抑制することができる。また、アドレス変換部はメモリマネジメントユニット等と同じく C P U を構成する命令制御部及び実行部と同じユニット内に構成してもよい。また、マイクロコンピュータは I C カードだけでなく、P D A (Personal Digital Assistant) や携帯電話機等にも適用することができる。

産業上の利用可能性

本発明は、仮想マシン命令から成る仮想マシンプログラムのプラットフォームとなるマイクロコンピュータ、データプロセッサ、マイクロプロセッサ、シングルチップデータプロセッサ等と称されるデータ処理装置、更にはそのようなデータ処理装置を搭載した I C カード等の電子機

器に広く適用することができる。

請 求 の 範 囲

1. CPUのネイティブ命令で規定される実行ルーチンにより仮想マシン命令の実行を実現可能にするデータ処理装置であって、

- 5 規定の条件成立に応答して、前記CPUが出力するアドレスを、用意された実行ルーチンのアドレスを利用してネイティブ命令のアドレスに順次変換可能なアドレス変換部を有し、

10 前記アドレス変換部は、順次変換したネイティブ命令のアドレスに基づいてCPUが実行ルーチンを実行するのに並行して、次に実行すべき仮想マシン命令を読み込んでこれに対応する実行ルーチンのアドレスを用意することを特徴とするデータ処理装置。

2. 前記アドレス変換部は前記規定の条件不成立に応答してCPUからの入力アドレスをそのまま出力することを特徴とする請求の範囲第1項記載のデータ処理装置。

- 15 3. 前記規定の条件は、前記CPUによる所定アドレスの出力であることを特徴とする請求の範囲第1項記載のデータ処理装置。

4. 前記所定アドレスは、前記仮想マシン命令の実行に割り当てられた所定のアドレス空間の先頭アドレスであることを特徴とする請求の範囲第3項記載のデータ処理装置。

- 20 5. 前記実行ルーチンは、その最後にCPUのプログラムカウンタを仮想マシン命令の実行に割り当てられた所定のアドレス空間の先頭に戻すリターン処理のネイティブ命令を含むことを特徴とする請求の範囲第4項記載のデータ処理装置。

25 6. 前記仮想マシン命令毎にその命令長と実行ルーチンのアドレスとの対応を定義した変換テーブルを有することを特徴とする請求の範囲第1項記載のデータ処理装置。

7. 前記変換テーブルから仮想マシン命令に対応して取得した命令長を保持する第1レジスタと、同じく取得した実行ルーチンのアドレスを保持する第2レジスタとを有することを特徴とする請求の範囲第6項記載のデータ処理装置。

- 5 8. 前記アドレス変換部は、仮想マシン命令をメモリから読み込むためのアドレスを出力する仮想マシンプログラムカウンタを有し、当該仮想マシンプログラムカウンタのインクリメント量は前記第1レジスタの値によって制御可能にされることを特徴とする請求の範囲第7項記載のデータ処理装置。

- 10 9. 前記仮想マシンプログラムカウンタのインクリメントは、実行ルーチンの実行終了タイミングに同期して行われることを特徴とする請求の範囲第8項記載のデータ処理装置。

10. 前記アドレス変換部は、実行ルーチンのネイティブ命令をメモリから読み込むための実行ルーチンアドレス生成回路を有し、

- 15 前記実行ルーチンアドレス生成回路は、前記第2レジスタが保持する実行ルーチンのアドレスを入力する第3レジスタと、第3レジスタの値とCPUから出力されるアドレスの下位側複数ビットとを加算する加算器を有し、加算器の出力が実行ルーチンのネイティブ命令のアドレスとされることを特徴とする請求の範囲第7項記載のデータ処理装置。

- 20 11. 前記アドレス変換部は、読み込んだ仮想マシン命令が分岐命令の場合に、分岐先の仮想マシン命令を読み込んでこれに対する実行ルーチンのアドレスを用意することが可能なことを特徴とする請求の範囲第1項記載のデータ処理装置。

- 25 12. 前記アドレス変換部は、読み込んだ仮想マシン命令が条件分岐命令の場合に、分岐先の仮想マシン命令を更に読み込んでこれに対する実行ルーチンのアドレスを別に用意し、分岐の有無に応じて、アドレス変

換に利用する実行ルーチンのアドレスを選択することを特徴とする請求の範囲第1項記載のデータ処理装置。

5 13. 仮想マシン命令によって構成される仮想マシンプログラムを格納する第1メモリと、仮想マシン命令毎にその実行ルーチンを格納する第2メモリとを含み、1個の半導体チップに形成されたことを特徴とする請求の範囲第1項記載のデータ処理装置。

14. 前記第2メモリは、更に仮想マシン命令の命令長を有することを特徴とする請求の範囲第13項記載のデータ処理装置。

10 15. 前記第1メモリは書換え可能な不揮発性メモリであることを特徴とする請求の範囲第13項記載のデータ処理装置。

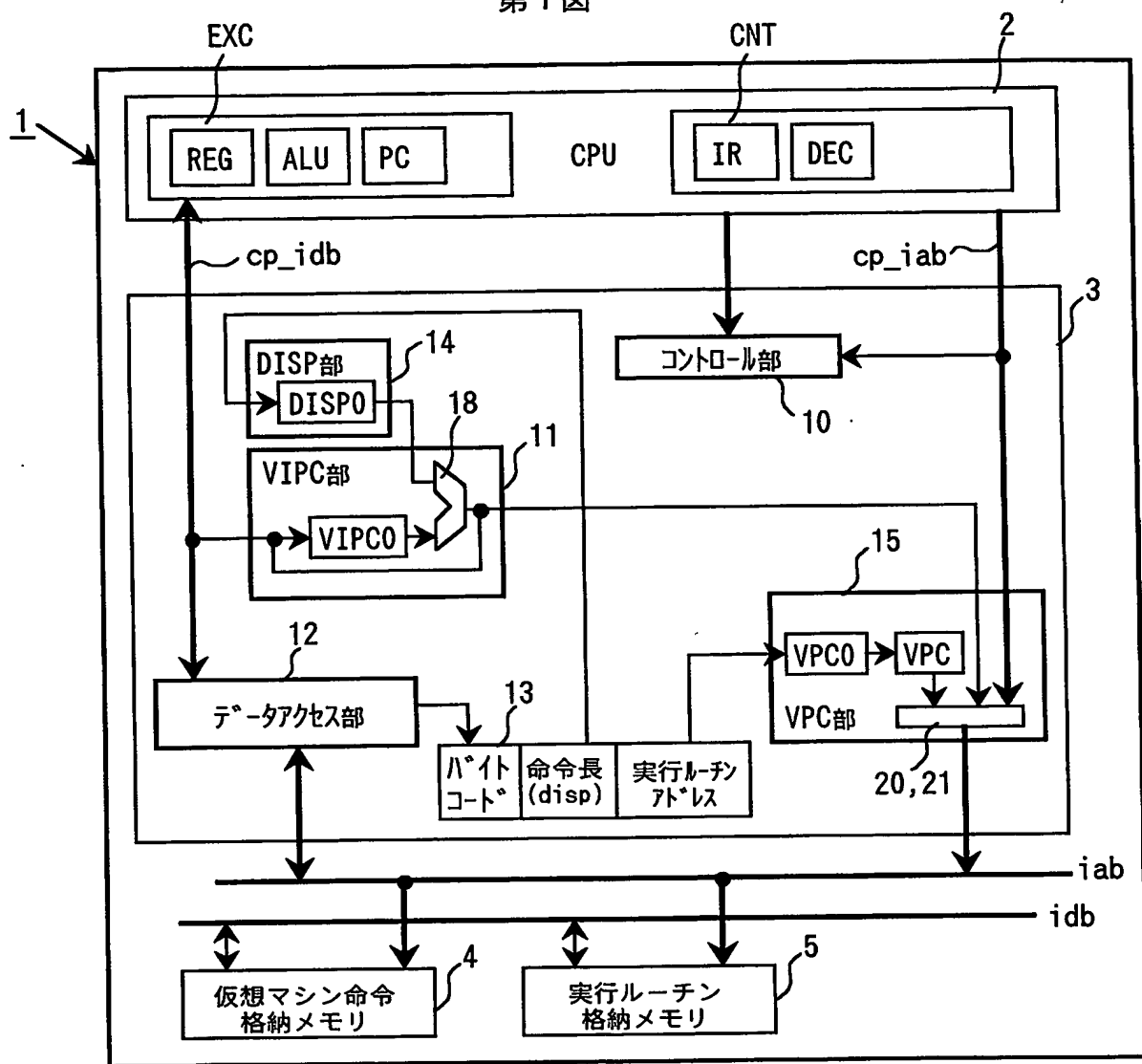
16. 入出力回路と、入出力回路に接続されたデータ処理装置とをカード基板に有するICカードであって、

前記データ処理装置は、CPUのネイティブ命令で規定される実行ルーチンにより仮想マシン命令の実行を実現可能にし、前記CPUが出力する所定のアドレスを、用意された実行ルーチンのアドレスを利用して
15 ネイティブ命令のアドレスに順次変換するアドレス変換部を有し、

前記アドレス変換部は、順次変換したネイティブ命令のアドレスに基づいてCPUが実行ルーチンを実行するのに並行して、次に実行すべき仮想マシン命令を読み込んでこれに対応する実行ルーチンのアドレス
20 を用意することを特徴とするICカード。

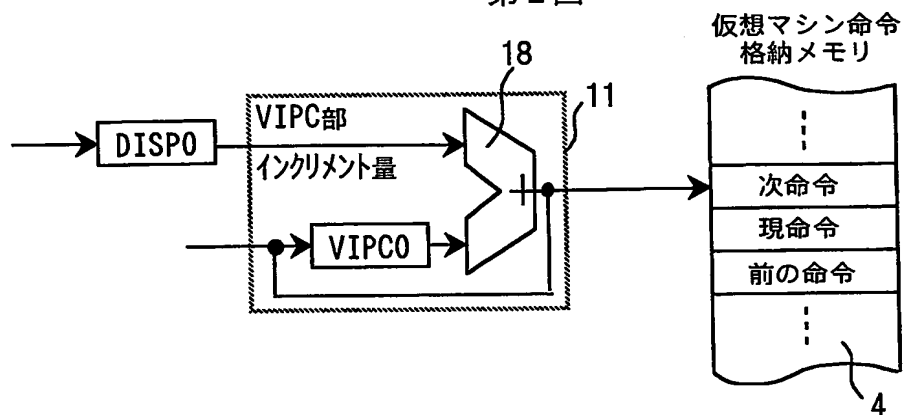
1 / 12

第1図

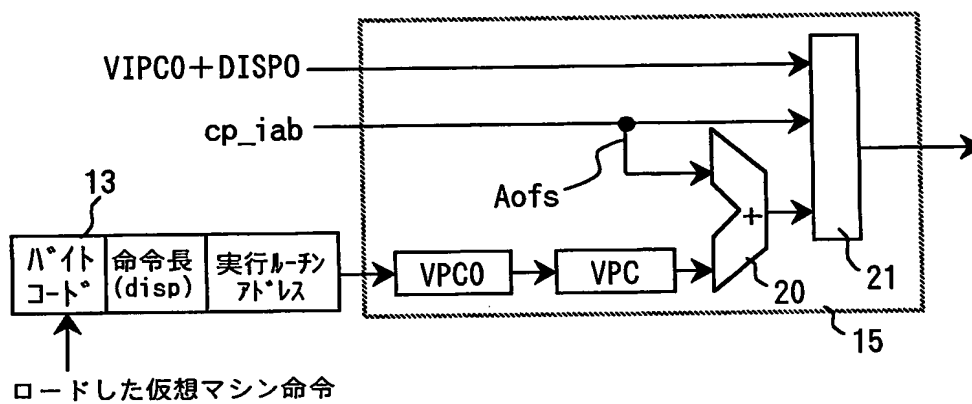


2 / 12

第2図



第3図



3 / 12

第4図

```

;VPC0 Write
;PRG_TOP...最初に実行すべき仮想マシン命令アドレス
mov.w    #H' PRG_TOP, @VPC0    ;PRG_TOP -> VPC
;DISP0 Write
mov.w    #H' 00, @DISP0        ;H 0 -> DISP0
;VPC0更新コマンド発行
;VPC0+DISP0上にある仮想マシン命令をロードし、実行ルーチンアドレス・
;命令長を求め、VPC0・DISP0を更新する
mov.w    #H' 00, @VPC0chg      ;更新コマンド

;仮想マシン命令実行空間先頭(H' 00210000)へジャンプ
mov.l    #H' 00210000, R1
jmp      @R1                    ;仮想マシン命令実行空間先頭へジャンプ

```

第5図

```

;実行ルーチン例(実行動作 [R1] -> [R2])
next:
mov.l    @R1, @R2              ;仮想マシン命令実行空間アドレス
bra      next                  ;実行処理部分
                                ;仮想マシン命令実行空間先頭へジャンプ

```

第6図

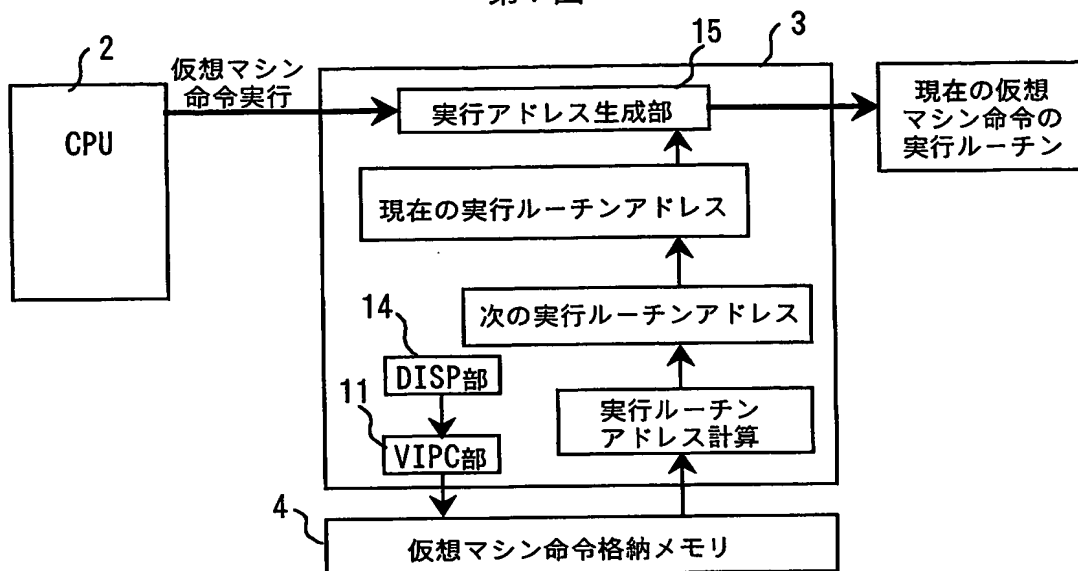
```

;可変長命令及び分岐命令の実行ルーチン
next:
.....
.....
mov.w    R1, @DISP0            ;R1には可変長命令の命令長
                                ;      又は分岐先までの相対位置
mov.w    #00, @VPC0chg         ;VPC0更新コマンド
bra      next                  ;仮想マシン命令実行空間先頭へジャンプ

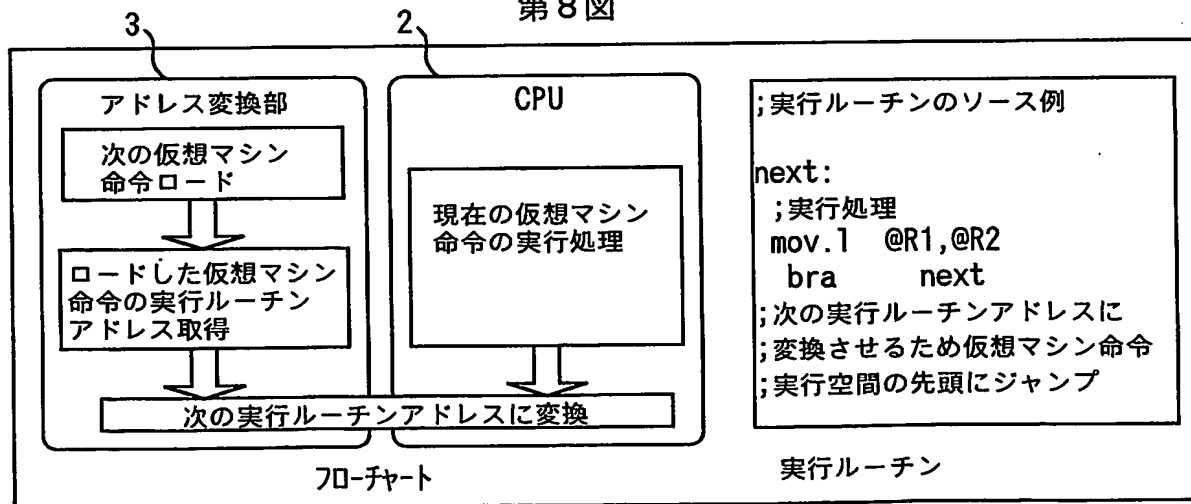
```

4 / 1 2

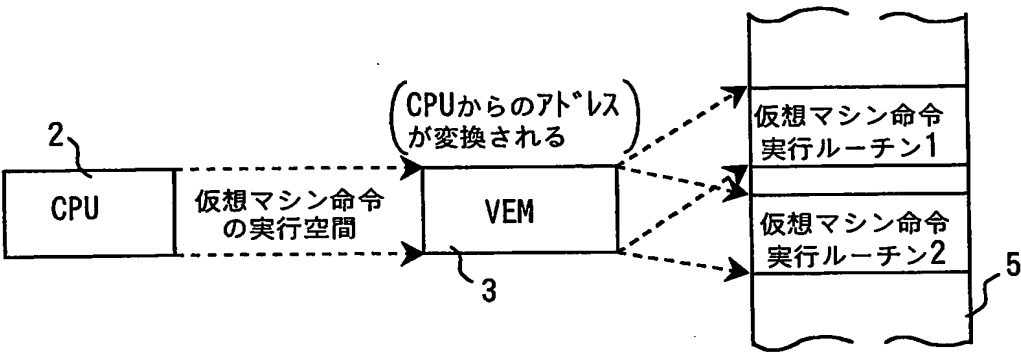
第 7 図



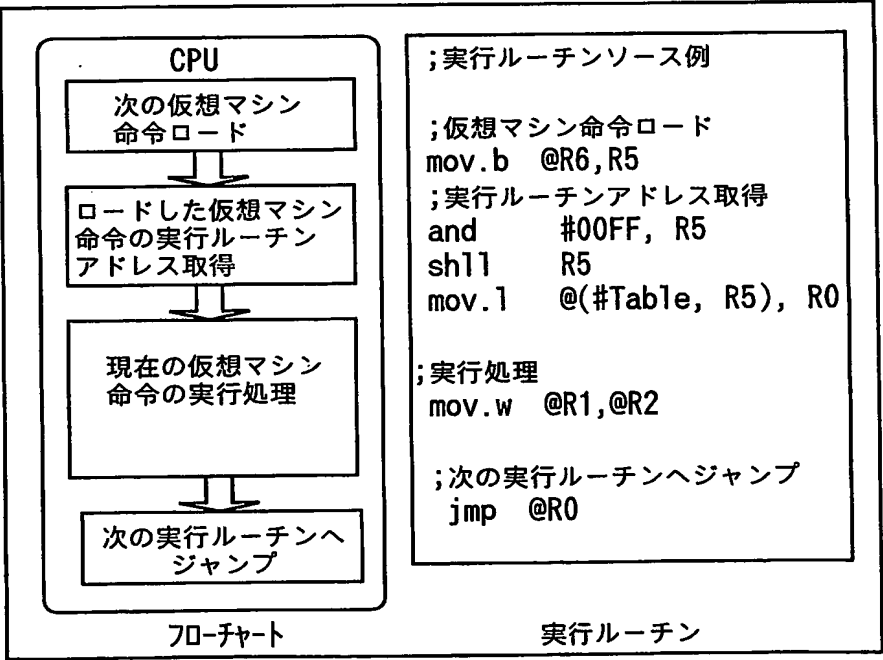
第 8 図



第 9 図

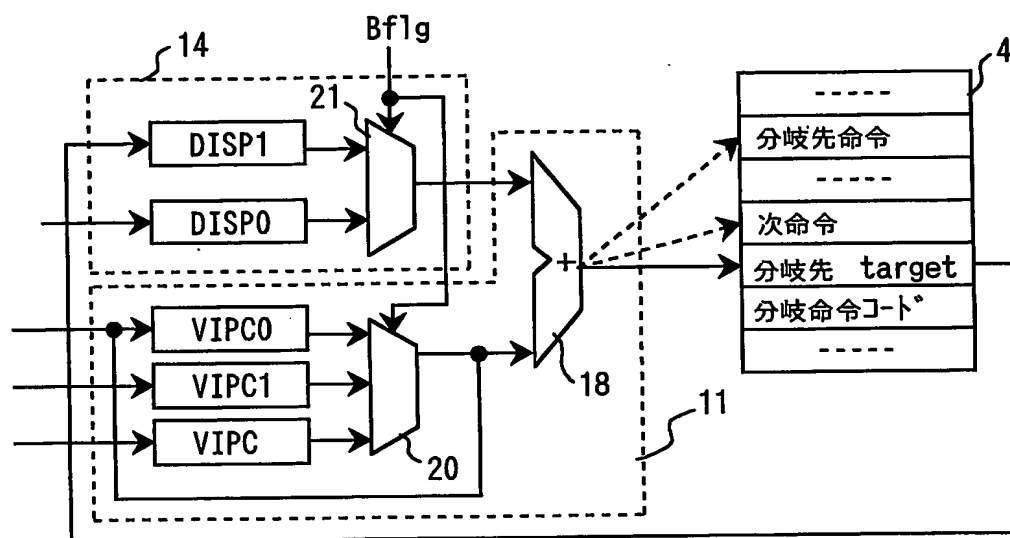


第 1 0 図

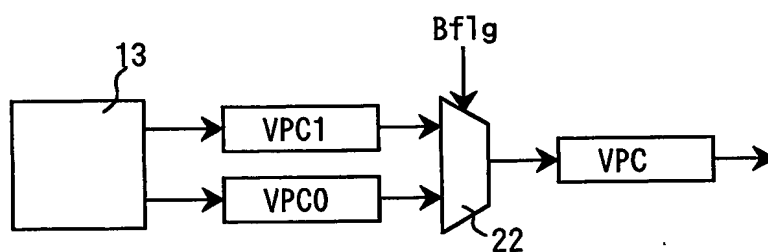


6 / 1 2

第 1 1 図



第 1 2 図

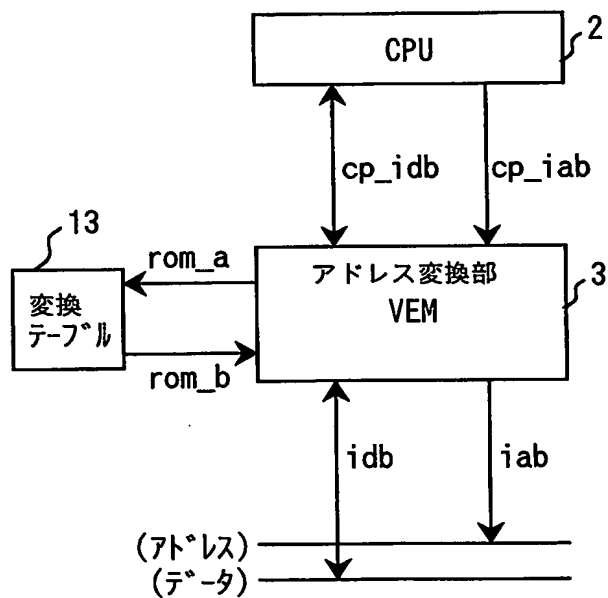


7 / 12

第13図

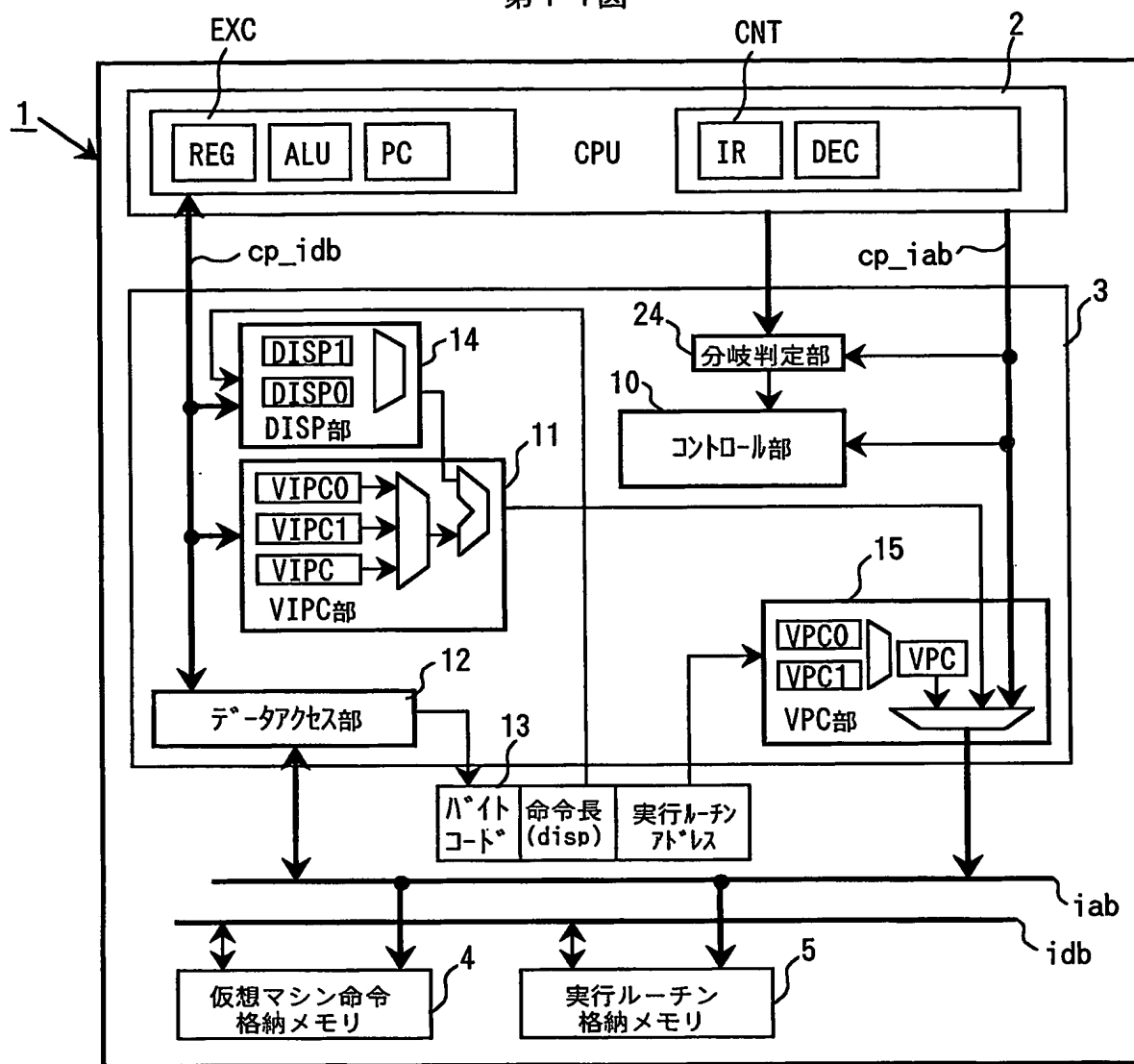
```
next:                                ;仮想マシン命令実行空間アドレス
mov.w @VIPCtoDISP1, R3               ;[VIPC++] -> DISP1
mov.w #H'00, @VPC1chg                ;VPC1更新コマンド
.....                              ;実行処理
.....
bra    next                          ;仮想マシン命令実行空間先頭へジャンプ
```

第16図

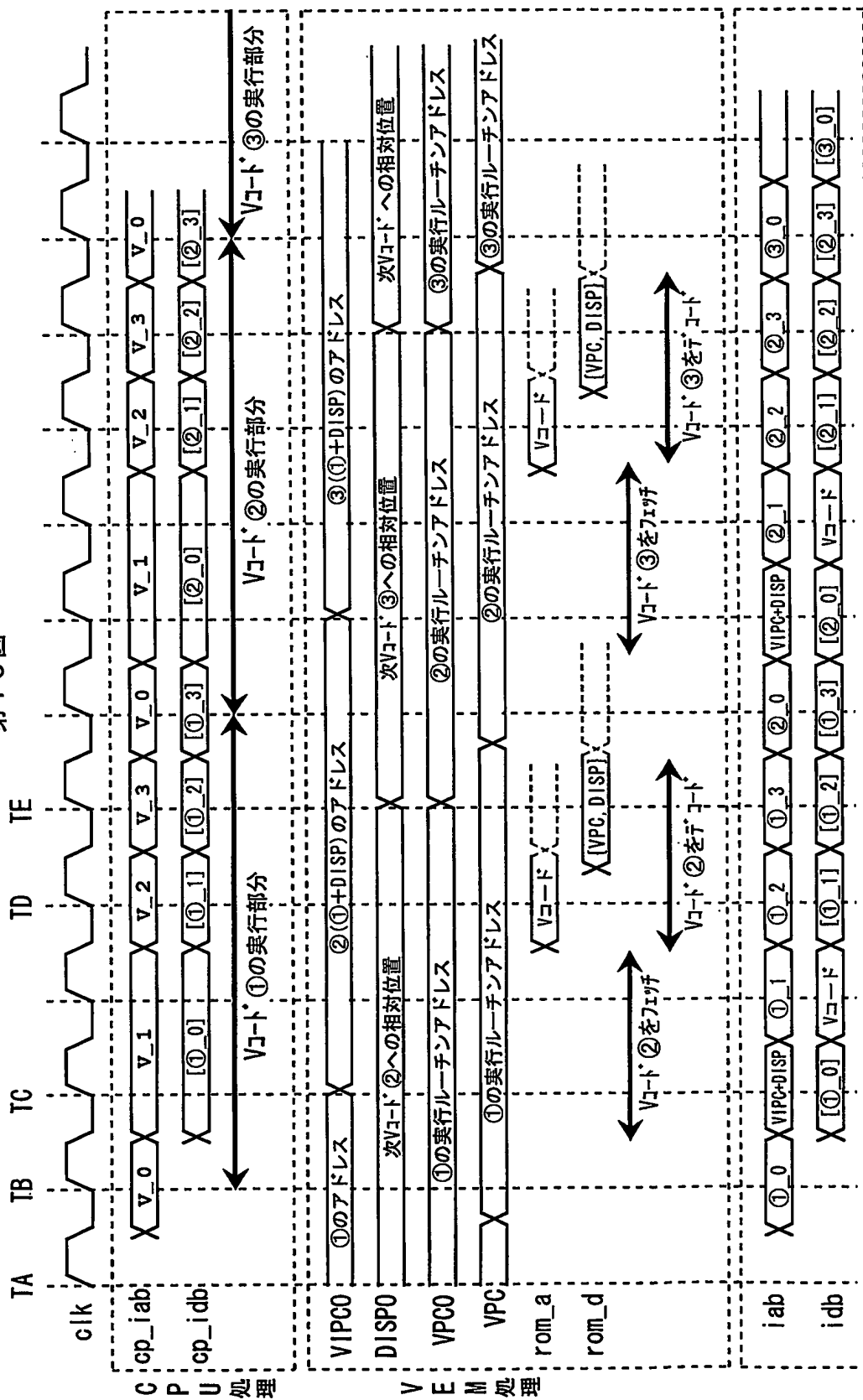


8 / 1 2

第 1 4 図

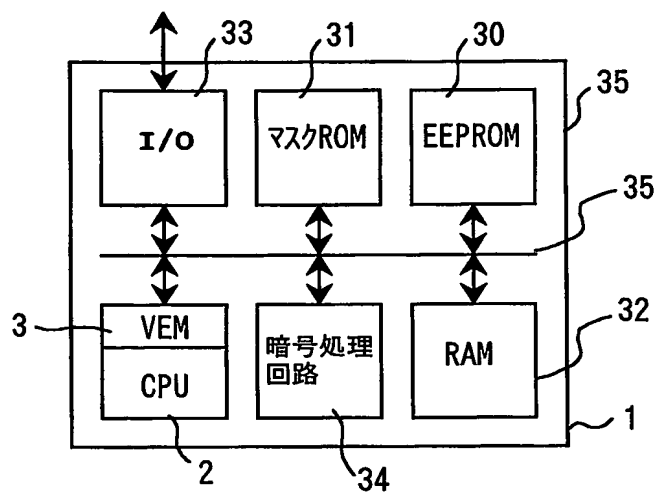


第15図

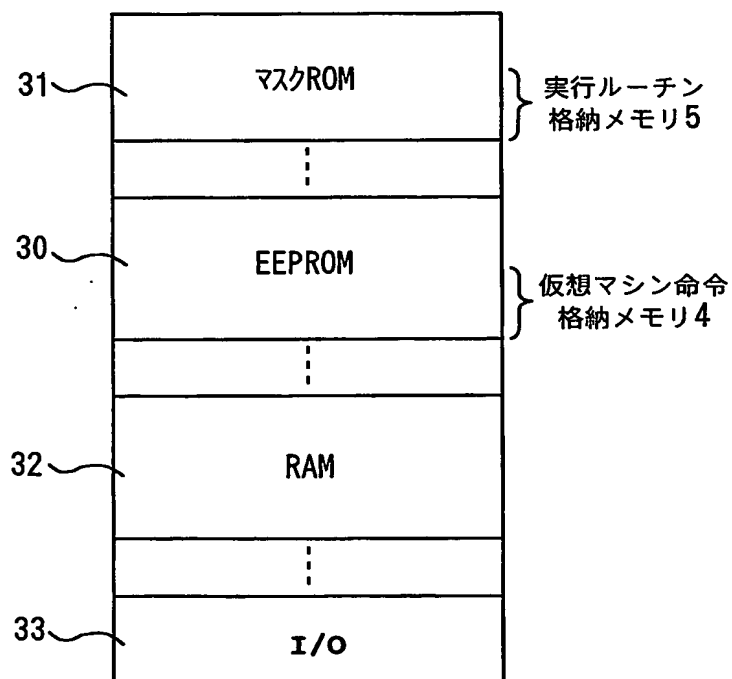


10/12

第17図

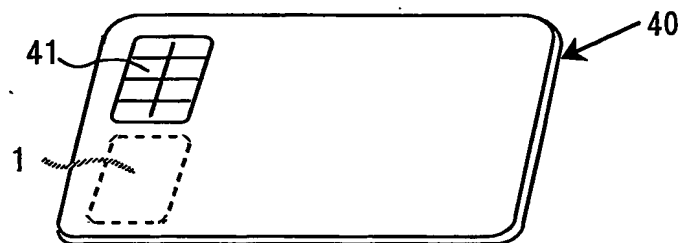


第18図

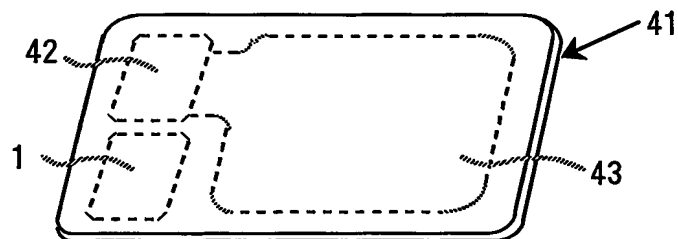


11/12

第19図

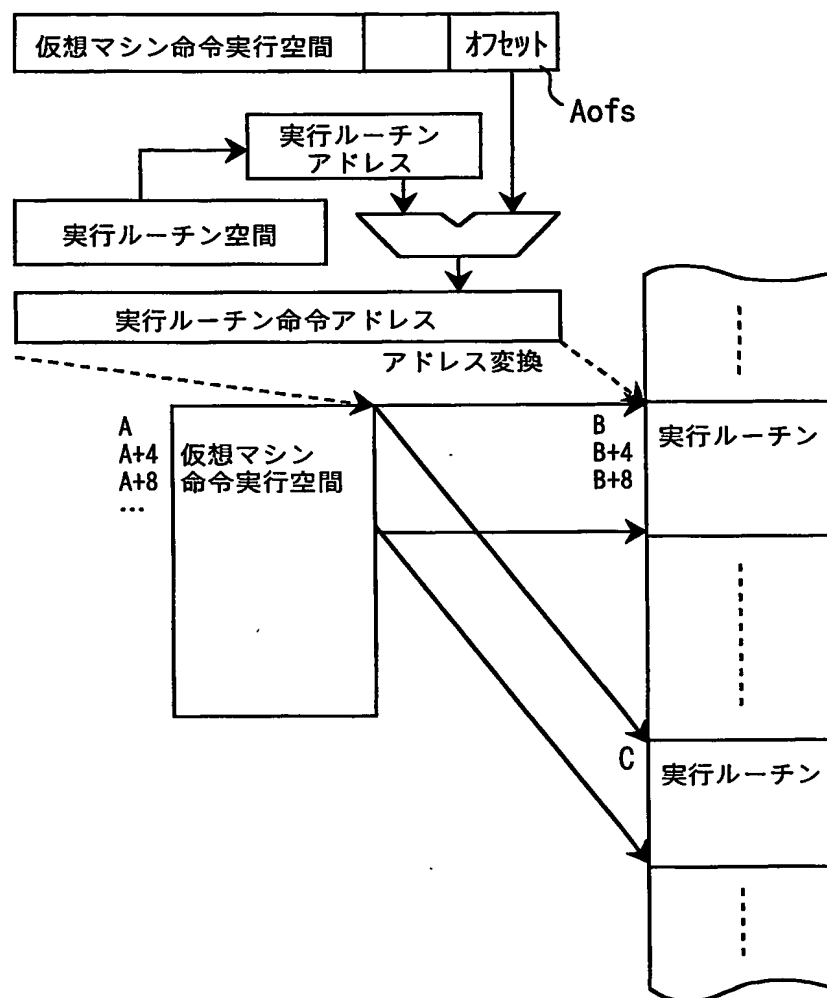


第20図



12/12

第21図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/08843

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G06F9/30, G06F9/38, G06F9/44, G06F9/45

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G06F9/30, G06F9/38, G06F9/44, G06F9/45

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JICST FILE, (KASOMASHIN, BAITOKO-DO, Java) (in Japanese)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6324686 B1 (International Business Machines Corp.), 27 November, 2001 (27.11.01), Abstract; column 3, lines 6 to 16; column 8, line 46 to column 11, line 2; Figs. 6 to 8 & JP 11-175349 A 02 July, 1999 (02.07.99), Abstract; column 7, lines 1 to 10; column 12, line 47 to column 16, line 5; Figs. 6 to 8 & CN 1218222 A 02 June, 1999 (02.06.99)	1-16
A	JP 60-86625 A (NEC Corp.), 16 May, 1985 (16.05.85), Page 3, upper left column, line 8 to upper right column, line 7; Fig. 3 (Family: none)	1-16

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

18 December, 2002 (18.12.02)

Date of mailing of the international search report

14 January, 2003 (14.01.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/08843

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 1197847 A2 (Nazomi Communications Inc.), 17 April, 2002 (17.04.02), Full text; all drawings & JP 2002-163116 A 07 June, 2002 (07.06.02), Full text; all drawings	1-16

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl¹ G06F9/30, G06F9/38, G06F9/44, G06F9/45

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl¹ G06F9/30, G06F9/38, G06F9/44, G06F9/45

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2002年
日本国登録実用新案公報	1994-2002年
日本国実用新案登録公報	1996-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

JICST科学技術文献ファイル、(仮想マシン、バイトコード、Java)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	US 6324686 B1 (International Business Machines Corporation) 2001. 11. 27 ABSTRACT, 第3欄第6行 ~第16行, 第8欄第46行~第11欄第2行, 第6-8図 & JP 11-175349 A 1999. 07. 02 要約, 第7欄第1行~第10行, 第12欄第47行~第16欄第5行, 第6-8図 & CN 1218222 A 1999. 06. 02	1-16
A	JP 60-86625 A (日本電気株式会社) 1985. 05. 16 第3頁左上欄第8行~右上欄第7行, 第3図 (ファミリーなし)	1-16

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
- 「O」 口頭による開示、使用、展示等に言及する文献
- 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」 同一パテントファミリー文献

国際調査を完了した日

18. 12. 02

国際調査報告の発送日

14.01.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

酒井 恭信

5B

9190

電話番号 03-3581-1101 内線 3546

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	EP 1197847 A2 (Nazomi Communications Inc.) 2002.04.17 全文, 全図 & JP 2002-163116 A 2002.06.07 全文, 全図	1-16